

(19) 世界知的所有権機関
国際事務局



(43) 国際公開日
2004 年 8 月 26 日 (26.08.2004)

PCT

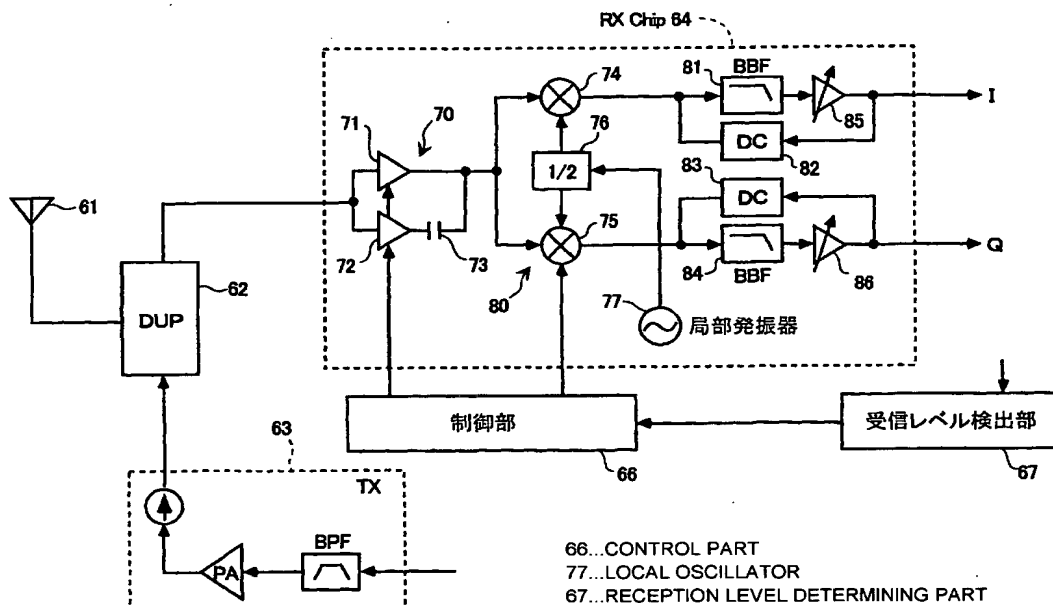
(10) 国際公開番号
WO 2004/073190 A1

- (51) 国際特許分類⁷: H04B 1/10, 1/40, 1/30 (72) 発明者; および
(21) 国際出願番号: PCT/JP2004/001487 (75) 発明者/出願人 (米国についてののみ): 高木 光太郎 (TAKAGI, Kotaro) [JP/JP].
(22) 国際出願日: 2004 年 2 月 12 日 (12.02.2004) (74) 代理人: 中村 友之 (NAKAMURA, Tomoyuki); 〒1050001 東京都港区虎ノ門 1 丁目 2 番 3 号虎ノ門第一ビル 9 階三好内外特許事務所内 Tokyo (JP).
(25) 国際出願の言語: 日本語
(26) 国際公開の言語: 日本語
(30) 優先権データ: 特願2003-033258 2003 年 2 月 12 日 (12.02.2003) JP (81) 指定国 (表示のない限り、全ての種類の国内保護が可能): AE, AG, AL, AM, AT, AU, AZ, BA, BB, BG, BR, BW, BY, BZ, CA, CH, CN, CO, CR, CU, CZ, DE, DK, DM, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, HR, HU, ID, IL, IN, IS, KE, KG, KP, KR, KZ, LC, LK, LR, LS, LT, LU, LV, MA, MD, MG, MK, MN, MW, MX, MZ, NA, NI, NO, NZ, OM, PG, PH, PL, PT, RO, RU, SC, SD, SE, SG, SK, SL, SY, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, YU, ZA, ZM, ZW.
(71) 出願人 (米国を除く全ての指定国について): ソニー・エリクソン・モバイルコミュニケーションズ株式会社 (SONY ERICSSON MOBILE COMMUNICATIONS JAPAN, INC.) [JP/JP]; 〒1080075 東京都港区港南 1 丁目 8 番 1 5 号 Tokyo (JP).

[続葉有]

(54) Title: RECEIVER CIRCUIT AND RADIO COMMUNICATION TERMINAL APPARATUS

(54) 発明の名称: 受信回路及び無線通信端末装置



(57) Abstract: A low-noise amplifier (70) comprises a low-gain low-noise amplifier (71) and a high-gain low-noise amplifier (72) that can be selectively activated by the control of a bias current. The output of the low-noise amplifier (72) is coupled to a quadrature demodulator (80) via a series capacitor (73), while the output of the low-noise amplifier (71) is directly coupled to the quadrature demodulator (80). A control part (66) controls a receiver circuit in such a manner that it activates the low-noise amplifier (71) when a received signal exhibits a high level and that it activates the low-noise amplifier (72) when a received signal exhibits a low level. During operation of the low-noise amplifier (72), the DC bias current therefor is caused to flow independently of the DC bias current for the quadrature demodulator (80). During operation of the low-noise amplifier (71), the DC bias current therefor is also used for the quadrature demodulator.

[続葉有]



(84) 指定国 (表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, GH, GM, KE, LS, MW, MZ, SD, SL, SZ, TZ, UG, ZM, ZW), ユーラシア (AM, AZ, BY, KG, KZ, MD, RU, TJ, TM), ヨーロッパ (AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HU, IE, IT, LU, MC, NL, PT, RO, SE, SI, SK, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, ML, MR, NE, SN, TD, TG).

添付公開書類:

— 国際調査報告書

2文字コード及び他の略語については、定期発行される各PCTガゼットの巻頭に掲載されている「コードと略語のガイダンスノート」を参照。

(57) 要約: 低雑音増幅器 (70) として、バイアス電流の制御により選択的に動作可能な低ゲインの低雑音増幅器 (71) 及び高ゲインの低雑音増幅器 (72) とを備え、低雑音増幅器 (72) の出力と直交復調器 (80) とを直列容量 (73) にて結合するとともに、低雑音増幅器 (71) の出力と直交復調器 (80) とを直結する。制御部 (66) は、受信信号のレベルが高いときに低雑音増幅器 (71) を動作させ、受信信号のレベルが低いときに低雑音増幅器 (72) を動作させるよう受信回路を制御する。低雑音増幅器 (72) の動作時、そのDCバイアス電流を直交復調器 (80) のDCバイアス電流とは独立に流し、低雑音増幅器 (71) の動作時、そのDCバイアス電流を直交復調器と共用する。

明 細 書

受信回路及び無線通信端末装置

5

技術分野

本発明は、無線通信端末装置及びその受信回路、特にデジタル無線通信端末用受信系RFチップに関する。

10 背景技術

図1に、従来のダイレクトコンバージョン受信機(DCR: Direct Conversion Receiver)を含む無線通信端末の本発明関連部分の構成を示す。この構成において、特に、第3世代携帯電話(3G)に代表される符号分割多元接続方式(CDMA: Code Division Multiple Access)を用いた通信システムでは、それぞれ異なる周波数を持つ受信(RX)信号と送信(TX)信号が同時に入出力されるため、自局のTX信号がRX側に漏洩し、受信特性を劣化させる。この問題を解決するために、デュープレクサ(DUP)12における送信回路13から受信回路(RX Chip)14へのアイソレーション特性の改善が必要となる上に、低雑音増幅器(LNA: Low Noise Amplifier)と直交復調器(Quad_Mixer)間に帯域通過フィルタ(BPF: Band Pass Filter)15を挿入してTX帯域の信号レベルを抑圧する必要がある。

一方、希望受信信号レベルが高いときには、上記のTX漏洩による妨害は無視できるが、逆に希望信号による回路的な飽和が問題となるため、希望受信信号レベルが高いときのみLNAのゲインを下げるか、あるいはLNAをスルーさせることにより、直交復調器以降の回路に入力され

25

る信号レベルを下げる必要がある。

上記のようなDCRシステムでは、TX信号が漏洩して直交復調器以降に入力されることを防ぐために、BPF15を挿入しなければならない。通常、受信回路14はIC（集積回路）チップで構成される。これ
5 に対し、BPFにはSAWフィルタが使用されるので、BPF15がチップの外付け部品となり、DCRが実現しようとする省スペース、部品削減の要請に相反する。DCRの優位性を生かすには、このBPFを使用すること無く、TXの漏洩信号による受信特性劣化を回避しなければならない。

10 より具体的には、図2Aに示すように、TXの信号が漏洩し、LNA、直交復調器に入力されると、図2Bに示すようにCDMA変調信号の2次歪が直接ベースバンド帯域に重なる。これは希望信号にとっては雑音となるため、C/Nの劣化につながる。なお、図2Cの式において、 $f(t)$ は自局TX変調信号、 $\sin \omega_{TX} t$ はTX搬送波、 a_0 はDCオフセット、 a_1 はLNAゲイン、 $a_2 \dots a_n$ はそれぞれn次高調波歪みの係数、 $g(t)$ はLNAの出力信号を表している。
15

希望信号入力が多い場合に、図3に示されるようなゲイン制御付き差動LNA回路でLNAのゲイン切り換えを行うことも考えられる。この場合、後段へ入力される信号レベルは低減されるが、LNA自身の強
20 入力耐性（IIP3 (3 order Input Intercept Point)等）は改善されないという問題がある。

図4に示すような入出力スルー型LNAゲイン切り換え回路によれば、希望信号入力の強度に応じてスイッチSW1～SW4を切り換えることにより、希望信号入力が多い場合にLNAの入出力をスルーすることが
25 できる。しかし、この回路方式では、入力を減衰させるのみであるため、高ゲインとゲイン配分の自由度がないという問題がある。すなわち、

スイッチ S W 3 と S W 4 を o n にした通過パスはスイッチの挿入損失とマッチング回路の不整合損失とを含むとともに、この構成には能動回路がないので正のゲインを持たせることができない。

- 5 本発明はこのような背景においてなされたものであり、その目的は、
良好な受信特性、及び低雑音増幅器の強入力耐性を有するとともに、L N A のゲイン配分に自由度を持たせることができる受信回路およびこれを用いた無線通信端末を提供することにある。

発明の開示

- 10 本発明の受信回路は、バイアス電流の制御により選択的に動作可能な低ゲインの低雑音増幅回路及び高ゲインの低雑音増幅回路を有する低雑音増幅器と、前記低雑音増幅器の前記高ゲインの低雑音増幅回路の出力と直列容量にて結合され、前記低ゲインの低雑音増幅回路の出力と直結された直交復調器とを備えることを特徴とする。

- 15 高ゲインの低雑音増幅回路が動作するよう選択されているとき、高ゲインの低雑音増幅器の出力と直交復調器とが直列容量にて結合されるので、低雑音増幅器で発生した 2 次歪成分が直交復調器に入力されないよう除去される。

- 20 この受信回路において、前記高ゲインの低雑音増幅回路の動作時、その D C バイアス電流を前記直交復調器の D C バイアス電流とは独立に流し、前記低ゲインの低雑音増幅回路の動作時、その D C バイアス電流を前記直交復調器の D C バイアス電流と共用されることが好ましい。これにより、低ゲインの低雑音増幅回路が動作するよう選択されているとき、受信回路による消費電流が低減される。

- 25 前記受信回路において、前記高ゲインの低雑音増幅回路と低ゲインの低雑音増幅回路とはそれぞれ 1 対の差動接続されたトランジスタを有し、

前記低ゲインの低雑音増幅回路の 1 対のトランジスタのエミッタ間に第 1 及び第 2 の誘導性素子が直列に接続されるとともに、この両端にそれぞれ第 3 及び第 4 の誘導性素子を介して、前記高ゲインの低雑音増幅回路の 1 対のトランジスタのエミッタに接続される構成とすることができる。これにより、ゲインの異なる一方の低雑音増幅回路の差動誘導性素子を他方の低雑音増幅回路の一部の誘導性素子として共用することができる。

前記第 1 から第 4 の誘導性素子は、最外部の第 1 の端子から螺旋状にうずを小さくしていき、次いでその螺旋の隙間を縫ってうずを大きくしていき、最外部の第 2 の端子に戻る 1 個のインダクタにより構成され、インダクタの最内部とそれぞれ前記第 1 及び第 2 の端子との中間にある 2 つの位置から第 3 及び第 4 の端子を引き出すとともに、インダクタの最内部の位置から第 5 の端子を引き出し、前記第 1 及び第 2 の端子をそれぞれ前記低ゲインの低雑音増幅回路の 1 対のトランジスタのエミッタに接続するとともに、前記第 3 及び第 4 の端子をそれぞれ前記高ゲインの低雑音増幅回路の 1 対のトランジスタのエミッタに接続し、前記第 5 の端子を抵抗経由で接地した構成とすることができる。これにより、受信回路を IC チップとして構成したときの第 1 ～第 4 の誘導性素子の占有面積が低減される。

本発明の無線通信端末装置は、バイアス電流の制御により選択的に動作可能な低ゲインの低雑音増幅回路及び高ゲインの低雑音増幅回路を有する低雑音増幅器と、前記低雑音増幅器の前記高ゲインの低雑音増幅回路の出力と直列容量にて結合され、前記低ゲインの低雑音増幅回路の出力と直結された直交復調器と、受信信号のレベルを検出する受信レベル検出手段と、前記受信レベル検出手段の出力に応じて前記受信回路の制御を行う制御手段とを備え、前記制御手段は、前記受信信号のレベルが

高いときに低ゲインの低雑音増幅回路を動作させ、前記受信信号のレベルが低いときに前記低雑音増幅器として高ゲインの低雑音増幅回路を動作させるよう前記低雑音増幅器を制御することを特徴とする。

この構成により、基地局に近い状態にあるとき、すなわち受信信号レベルが規定レベルより高いとき、LNAを低ゲインに設定することにより、低消費電力化が実現する。LNAを低ゲインに切り換える受信信号規定レベルを、端末の平均受信電力以下に設定すれば、端末の平均的な消費電力の低減につながる。また、無線通信端末が基地局から遠い状態にあるとき、すなわち受信信号レベルが規定レベルより低いとき、LNAを高ゲインに設定し、このときLNAと直交復調器とを直流容量で結合することにより、LNAで発生する2次歪成分が直交復調器に入力されないよう除去できる。

LNAと直交復調器を少なくともAC直結（低ゲイン時はDC直結）することが出来るので、受信回路全体をICチップに構成でき、DCRの利点を生かせる。

更に、ゲインの異なる2つのLNAの第1～第4の誘導性素子を1個の対称型インダクタで構成することにより、チップ上の誘導性素子の占有面積が節約できる。その結果、ダイサイズが小さくなりチップ単価が安くなる。

20

図面の簡単な説明

図1は、従来のダイレクトコンバージョン受信機（DCR）を含む無線通信端末の本発明関連部分の構成を示すブロック図である。

図2A乃至図2Cは、従来のダイレクトコンバージョン受信機の2次ひずみにより受信特性劣化を説明するための図である。

図3は、ゲイン制御付き差動LNA回路の例を示す回路図である。

図 4 は、入出力スルー型 LNA ゲイン切り換え回路の例を示す回路図である。

図 5 は、本発明の実施の形態に係るダイレクトコンバージョン受信機 (DCR) を内蔵したデジタル無線通信端末の本発明関連部分の構成例を示すブロック図である。

図 6 A 及び図 6 B は、それぞれ、従来と本実施の形態のダイレクトコンバージョン受信機の概略構成を抜粋して示した図である。

図 7 は、低雑音増幅器 (LNA) 及び直交復調器の具体的な回路構成の例を制御部のブロックとともに示した回路図である。

図 8 は、図 7 の回路における LNA (特に LNA 7 2) で発生する 2 次歪電流についての説明図である。

図 9 は、図 7 に示したインダクタ L 1 ~ L 4 を 1 個のインダクタ (コイル) で構成した例を示す図である。

15 発明を実施するための最良の形態

以下、本発明の実施の形態について、図面を参照して詳細に説明する。

図 5 に、符号分割多元接続方式 (CDMA: Code Division Multiple Access) を用いた無線通信システムに適したダイレクトコンバージョン受信機 (DCR) を内蔵したデジタル無線通信端末の本発明関連部分の構成例を示す。

この無線通信端末は、送信回路 6 3、受信回路 6 4、アンテナ 6 1、このアンテナを送受信に共用するためのデュプレクサ 6 2、受信信号レベルを検出する受信レベル検出部 6 7、この受信レベル検出部 6 7 の出力に基づいて受信回路 6 4 の動作を制御する制御部 6 6 を有する。

受信回路 6 4 は、IC チップで構成され、ゲインの異なる 2 つの LNA 7 1、7 2、LNA 7 2 の出力に直列に接続されるキャパシタ 7 3、

LNA 70 の出力を復調する直交復調器 80、局部発信器 77、ベース
バンドフィルタ (BBF) 81, 84、DC オフセット補償回路 82,
83、増幅器 85, 86 を有する。直交復調器 80 は、それぞれ I チャ
ネル及び Q チャネル用のミキサ 74, 75、及び局部発信器 77 の発信
5 信号を受けて所定の位相差の信号をミキサ 74, 75 に供給する位相器
76 を有する。

図 6 A 及び図 6 B に、それぞれ、従来と本実施の形態のダイレクトコ
ンバージョン受信機の概略構成を抜粋して示す。図 6 A の従来構成では
LNA 51 と直交復調器 (I ch、Q ch の各ミキサ 53, 54 を含む)
10 とをオフチップ BPF で接続しているが、図 6 B の本実施の形態では、
オフチップ BPF を不要とし、LNA (LNA 71, 72 を含む) と直
交復調器 80 (I ch、Q ch の各ミキサ 74, 75 を含む) とを IC
チップ内部で直結している (但し、直交復調器 80 と LNA 72 の間は
直列容量であるキャパシタ 73 a, 73 b を介挿している。) また、受
15 信回路 14 内部の回路は差動 (differential) 構成が好ましいため、LNA
71, 72 もシングル (single) 構成から差動構成に変更している。

図 7 に、低雑音増幅器 (LNA) 70 及び直交復調器 80 の具体的な
回路構成の例を制御部 66 のブロックとともに示す。制御部 66 は、L
NA 70 及び直交復調器 80 の DC バイアス生成及び制御を行う回路ブ
20 ロックである。

LNA 70 は、選択的に動作するよう制御される 2 つの差動増幅器 7
1, 72 からなる。第 1 の差動増幅器 71 は、トランジスタ Q1, Q2、
インダクタ (誘導性素子) L1, L2, L3, L4、キャパシタ C4,
C6、抵抗 R6, R8 からなる。トランジスタ Q1, Q2 のコレクタは
25 直交復調器 80 に直結されている。第 2 の差動増幅器 72 は、トランジ
スタ Q4, Q3、インダクタ L2, L3、キャパシタ C3, C5、抵抗

R 4, R 7 からなる。トランジスタ Q 4, Q 3 のコレクタは、それぞれインダクタ L 5, L 6 を介して電源電圧 V_{cc} に接続されるとともに、キャパシタ C 1, C 2 (図 6 B の 7 3 a, 7 3 b に対応) を介して直交復調器 8 0 に接続される。トランジスタ Q 1, Q 4 の各ベースには、端子 P 1 からそれぞれキャパシタ C 4, C 3 を介して受信信号 RF_{IN+} が印加される。トランジスタ Q 2, Q 3 の各ベースには、端子 P 2 からそれぞれキャパシタ C 6, C 5 を介して受信信号 RF_{IN-} が印加される。インダクタ L 2, L 3 は両差動増幅器 7 1, 7 2 に共用され、その接合点は抵抗 R 5 経由で接地される。トランジスタ Q 1, Q 2, Q 3, Q 4 の各ベースは、また、それぞれ抵抗 R 6, R 8, R 7, R 4 を介してバイアス端子 P 4, P 5, P 6, P 3 に接続される。端子 P 3, P 6 は制御部 6 6 の端子 B 3 に接続され、端子 P 4, P 5 は制御部 6 6 の端子 B 4 に接続される。

直交復調器 8 0 は、それぞれ I チャネル及び Q チャネル用に 2 つのギルバート・セル (Gilbert Cell) 8 0 1, 8 0 2 を有する。直交復調器 8 0 は、図の左右で I チャネルと Q チャネルの部分に分かれる。

ギルバート・セル 8 0 1 は、第 1 の差動対のトランジスタ Q 1 1, Q 1 2 と第 2 の差動対のトランジスタ Q 1 0, Q 9 を有する。第 1 の差動対のトランジスタ Q 1 1, Q 1 2 のエミッタは直結され、電流源を構成するトランジスタ Q 1 3 のコレクタ及び前記 LNA 7 0 のトランジスタ Q 1 のコレクタに接続される。第 2 の差動対のトランジスタ Q 1 0, Q 9 のエミッタは直結され、電流源を構成するトランジスタ Q 1 4 のコレクタ及び前記 LNA 7 0 のトランジスタ Q 2 のコレクタに接続される。第 1 の差動対のトランジスタ Q 1 1, Q 1 2 のベースは抵抗 R 1 3 を介して端子 P 1 1 に接続され、この端子 P 1 1 は制御部 6 6 の端子 B 1 に接続される。第 2 の差動対のトランジスタ Q 1 0, Q 9 のベースは抵抗

R 1 2 を介して端子 P 1 1 に接続される。トランジスタ Q 1 0, Q 1 1 のベースはキャパシタ C 8 を介して端子 P 7 に接続され、トランジスタ Q 9, Q 1 2 のベースはキャパシタ C 7 を介して端子 P 8 に接続される。端子 P 7, P 8 には I チャンネルの局部発振信号 (Ich Local IN) が入力
5 される。さらにトランジスタ Q 1 0, Q 1 2 のコレクタは、並列接続された抵抗 R 1 及びキャパシタ C 1 4 を介して電源電圧 V c c に接続される。トランジスタ Q 9, Q 1 1 のコレクタは、並列接続された抵抗 R 2 及びキャパシタ C 1 3 を介して電源電圧 V c c に接続される。トランジスタ Q 1 0, Q 1 2 のコレクタは端子 P 1 3 に接続され、ここから I O
10 U T + 信号が出力される。トランジスタ Q 9, Q 1 1 のコレクタは端子 P 1 4 に接続され、ここから I O U T - 信号が出力される。

同様に、ギルバート・セル 8 0 2 は、第 3 の差動対のトランジスタ Q 7, Q 8 と第 4 の差動対のトランジスタ Q 6, Q 5 を有する。第 3 の差動対のトランジスタ Q 7, Q 8 のエミッタは直結され、電流源を構成するトランジスタ Q 1 5 のコレクタ及び前記 L N A 7 0 のトランジスタ Q
15 1 のコレクタに接続される。第 4 の差動対のトランジスタ Q 6, Q 5 のエミッタは直結され、電流源を構成するトランジスタ Q 1 6 のコレクタ及び前記 L N A 7 0 のトランジスタ Q 2 のコレクタに接続される。第 3 の差動対のトランジスタ Q 7, Q 8 のベースは抵抗 R 1 3 を介して端子
20 P 1 1 に接続され、この端子 P 1 1 は制御部 6 6 の端子 B 1 に接続される。第 4 の差動対のトランジスタ Q 6, Q 5 のベースは抵抗 R 1 1 を介して端子 P 1 2 に接続される。トランジスタ Q 6, Q 7 のベースはキャパシタ C 9 を介して端子 P 1 0 に接続され、トランジスタ Q 5, Q 8 のベースはキャパシタ C 1 0 を介して端子 P 9 に接続される。端子 P 1 0, P 9 には Q チャンネルの局部発振信号 (Qch Local IN) が入力される。さ
25 らにトランジスタ Q 6, Q 8 のコレクタは、並列接続された抵抗 R 9 及

びキャパシタ C 1 1 を介して電源電圧 V_{cc} に接続される。トランジスタ Q 5, Q 7 のコレクタは、並列接続された抵抗 R 3 及びキャパシタ C 1 2 を介して電源電圧 V_{cc} に接続される。トランジスタ Q 6, Q 8 のコレクタは端子 P 1 5 に接続され、ここから Q O U T + 信号が出力される。トランジスタ Q 5, Q 7 のコレクタは端子 P 1 6 に接続され、ここから Q O U T - 信号が出力される。

それぞれ電流源を構成するトランジスタ Q 1 3, Q 1 4, Q 1 5, Q 1 6 は、制御部 6 6 内の回路と共にカレントミラー回路を構成し、各トランジスタのベースに接続された端子 P 1 3 は制御部 6 6 の端子 B 2 に接続される。

次に、図 7 の回路の動作を説明する。

[1] 希望受信信号のレベルが低い場合

受信レベル検出部 6 7 (図 5) はベースバンド (B B) で信号レベル測定を行っている。この受信レベル検出部 6 7 からの出力に応じて、制御部 6 6 は、信号レベルが低い場合、ゲインを高くするような制御信号を L N A 7 0 に対して出力する。すなわち、制御部 6 6 内部の端子 B 3 に接続されたカレントミラー用の基準電流源回路 (図示せず) が o n するとともに、端子 B 4 に接続されたカレントミラー用基準電流源回路 (図示せず) は o f f となる。その結果、制御部 6 6 内部のカレントミラー基準電流源回路と端子 B 3 から端子 P 3, P 6 を介したトランジスタ Q 3, Q 4 とでカレントミラー回路が構成され、L N A 7 2 に所望のバイアス電流 I_H が流れる。この電流は、 V_{cc} から、インダクタ L 5, L 6 を介して供給される。(図 7 の直流電流表示は、差動の片方の c h のみの表示。) トランジスタ Q 3, Q 4 は同時に L N A の増幅素子として動作し、端子 P 1, P 2 に入力される R F 信号電圧を電流に変換して増幅する。

同じく信号レベルが低い場合、端子B 4に接続された、制御部6 6内部のカレントミラー用基準電流源回路（図示せず）はo f fになっているため、端子P 4，P 5を介して接続されるトランジスタQ 1，Q 2には電流が流れず、これらのトランジスタで形成されるL N A回路7 1は動作しない。また、同時に、端子B 2に接続された制御部6 6内部のカレントミラー用基準電流源回路（図示せず）がo nし、この回路が端子P 1 3を介してトランジスタQ 1 3～Q 1 6の各トランジスタにそれぞれ接続されることにより形成されるカレントミラー回路が動作し、Q 1 3～Q 1 6の4つのトランジスタは同一構成の定電流源として動作する。一方、端子B 1からは温度補償された一定の電圧が端子P 1 1及びP 1 2を介して供給されるため、トランジスタQ 5～Q 1 2で形成される2つのギルバート・セル回路には、それぞれ $2 I_0$ のバイアス電流が流れる。

この状態のとき、トランジスタQ 3，Q 4で形成されるL N A 7 2は高ゲインでなければ成らない。従って、トランジスタQ 3及びQ 4のエミッタにそれぞれ直列接続される電圧負帰還用インダクタ

(Degeneration Inductor) L 2，L 3は、L N Aが良好な3次歪特性を保ちつつ高いゲインを得られるような値に設定される。また、インダクタL 5とL 6はA C的には負荷となり、トランジスタQ 4，Q 3のコレクタ側の容量C c sと直交復調器の入力容量とで形成される並列容量とで共振回路を形成する。この共振回路の共振周波数がR X受信周波数と一致するようにインダクタL 5とL 6の値が決められている。

また、この状態のとき、通常、端末が基地局から遠い位置にあるため、上りチャンネル情報が十分に伝達する様に自局の送信電力は大きく設定されている。つまり、図2 Bで示す希望R X信号が小さく、自局T X信号が大きい状態にあるため、T Xの2次歪成分のB B帯域への折り返し

雑音と希望信号によるBB信号成分との比 ($a_2 f^2(t)$ と $b_1 h(t)$ の電力比) が小さくなることが予想される。図8によりLNA (特にQ3, Q4を含むLNA72) で発生する2次歪電流について説明する。ここで、自局TX信号の2次歪成分は、TXのBB信号の二乗関数で表
5 される。すなわち、 $V_{in}/2=f(t)\sin\omega_{TX}$ ならば、2次歪成分 I_{IM2} は次のようになる。

$$I_{IM2}=g m_2 f^2(t)$$

ここで、 $g m_2$ は上記 a_2 と等価である。 $f(t)$ はベースバンド信号であり、RF信号に比べて周波数が十分低いため、図8のキャパシタC
10 1, C2によりカットできる。これによって、TXの2次歪雑音が受信BB信号に重なる量を低減する。一方、希望RX信号はRF帯域の信号なので、トランジスタQ3, Q4で増幅されたRX信号は、キャパシタC1, C2を介して次段の直交復調回路80へ供給される。

なお、この動作状態で、LNA70及び直交復調器80に流れるDC
15 バイアス電流はそれぞれ、 $2 I_H$ 及び $4 I_0$ であり、合計電流は $2 I_H + 4 I_0$ である。

[2] 希望受信信号レベルが一定以上の高いレベルにある場合

信号レベルがある規定値以上に高い場合、受信レベル検出部67からの出力に応じて、制御部66はLNA70のゲインを低くするような制御
20 信号をLNA70へ出力する。すなわち、制御部66は、端子B4に接続された内部のカレントミラー用の基準電流源回路がonする一方、端子B3に接続されたカレントミラー用基準電流源回路はoffとなる。その結果、制御部66内部のカレントミラー基準電流源回路とB4端子から端子P4, P5を介したトランジスタQ1, Q2とで形成される回
25 路でカレントミラー回路が構成され、後述するような所望のバイアス電流が流れる。一方、このとき、直交復調器80では、端子B2に接続さ

れた内部のカレントミラー用の基準電流源回路が off し、端子 P 1 3 を介してトランジスタ Q 1 3 ~ Q 1 6 にそれぞれ接続されることにより形成されるカレントミラー回路は動作しないため、これら 4 つのトランジスタ Q 1 3 から Q 1 6 は off の状態となり、DC 電流は流れない。

5 しかし、動作状態にある LNA 7 1 のトランジスタ Q 1, Q 2 のコレクタは、トランジスタ Q 5 ~ Q 1 2 で構成される 2 つのギルバート・セル 8 0 1, 8 0 2 にそれぞれキャパシタ C 1, C 2 の容量を介することなく DC 的に接続されているため、これらのギルバート・セル回路には、LNA 7 1 用のトランジスタ Q 1, Q 2 を定電流源とした DC バイアス電
10 流が流れる。制御部 6 6 内の基準電流源回路とトランジスタ Q 1, Q 2 で構成されるカレントミラー回路を、トランジスタ Q 1, Q 2 にそれぞれ $2 I_0$ ずつ電流が流れるように設定しておけば、ギルバート・セル回路に必要なバイアス電流を流すことが出来る。

また、トランジスタ Q 1 及び Q 2 は、それぞれ $2 I_0$ の DC バイアス
15 電流で駆動される差動 LNA としても動作し、端子 P 1, P 2 に入力される RF 信号電圧を電流に変換して増幅する。このとき、キャパシタ C 1 と C 2 を介してトランジスタ Q 1, Q 2 のコレクタ間に挿入されるインダクタ L 5 と L 6 は AC 的には、トランジスタ Q 3, Q 4 が高ゲイン LNA 7 2 として動作しているときと同様に負荷となり、コレクタ側の
20 容量 C_{cs} と直交復調器 8 0 の入力容量とで形成される並列容量とで共振回路を形成する。前述のように、この共振回路の共振周波数が RX 受信周波数と一致するようにインダクタ L 5 と L 6 の値が決められている。この状態のとき、LNA 7 0 のゲインは、無線通信端末が基地局に最も近づき希望 RX 信号レベルが最大の状態においても、LNA 及び後段の
25 回路が飽和状態に陥らない程度に絞る（低ゲインに設定）必要がある。そのために、トランジスタ Q 1, Q 2 のエミッタにそれぞれ接続される

インダクタは高ゲイン時より大きなインダクタンスが必要となる。そこで、インダクタ L_1 , L_4 を高ゲイン時のインダクタ L_2 , L_3 にそれぞれ直列接続することにより、この要請を満たしている。

この状態のとき、端子 B_3 に接続された制御部 66 内部のカレントミラー基準電流源回路は off になっているため、トランジスタ Q_3 , Q_4 には電流が流れず、これらのトランジスタで形成される LNA 回路 72 は動作しない。

また、この状態のときは、端末が基地局から比較的近い位置にあるため、送信電力を上げなくても上りチャンネル情報の伝達が可能である。つまり、図 2 B で示す希望 R_X 信号が大きく、自局 T_X 信号が小さい状態にあるため、 T_X の 2 次歪成分の BB 帯域への折り返し雑音と希望信号による BB 信号成分との比 ($a_2 f^2(t)$ と $b_1 h(t)$ の電力比) が大きくなる。従って、トランジスタ Q_1 , Q_2 を含む低ゲイン用 LNA 71 では高ゲイン LNA 72 の様に容量結合により LNA で発生する 2 次歪信号を除去する必要はなく、低ゲイン用 LNA 71 を直流的に直交復調器 80 に直結できる。

この動作状態で、LNA 70 及び直交復調器 80 に流れる DC バイアス電流はそれぞれ、 $4 I_0$ 及び $4 I_0$ であり、LNA 71 のトランジスタ Q_1 , Q_2 のコレクタと直交変調器 80 を構成する 2 つのギルバート・セル 801, 802 の 8 つのトランジスタのエミッタ側は DC 的に直結されているので、合計電流は $4 I_0$ である。これは、高ゲイン時の設定より I_H 分だけ少なく、消費電流の節約を可能にしていることが分かる。

なお、インダクタ $L_1 \sim L_4$ は、図 9 に示すような、1 個のインダクタ (コイル) で構成することが出来る。(図 9 においてハッチングを施したラインはラインの交差による接続関係を明確化するためのものであり、それ以上の意味はない。) このインダクタは、端子 P_{91} から螺旋

状にうずを小さくしていき、次いでその螺旋の隙間を縫ってうずを大きくしていき、最終的に端子 P 9 1 に隣接する位置の端子 P 9 2 に戻る。この経路は一筆書きができる 1 個の螺旋状の導電路により形成される。このような経路の所定の位置からタップ端子を引き出す。具体的には最内部中央の位置 n 5 からタップ端子 P 9 5 を引き出し、位置 n 5 と最外の端子 P 9 1, 9 5 との中間の位置（ここでは中心から 1 つ外周の経路の対称な位置 n 3, n 4）からそれぞれタップ端子 P 9 3, P 9 4 を引き出している。端子 P 9 1 から n 3 までがインダクタ L 1、n 3 から n 5 までがインダクタ L 2、n 5 から n 4 までがインダクタ L 3、n 4 から端子 P 9 2 までがインダクタ L 4 として機能する。すなわち、図 9 の端子 P 9 1 及び P 9 2 を図 7 のトランジスタ Q 1 及び Q 2 のエミッタに、また、図 9 の端子 P 9 3 及び P 9 4 を図 7 のトランジスタ Q 3 及び Q 4 のエミッタに、図 9 の P 9 5 を図 7 の抵抗 R 5 のホット側に、それぞれ接続すれば、見かけ上 1 本のインダクタ構成で 4 つのインダクタ L 1 ~ L 4 を実現することができる。これによりインダクタの占有面積が低減されるとともに、左右対称のコイル形状の対称位置からのタッピングにより、対となるインダクタの値（インダクタンス）を容易に整合させることができる。

以上、本発明の好適な実施の形態について説明したが、上記で言及した以外にも種々の変形、変更が可能である。

請 求 の 範 囲

1. バイアス電流の制御により選択的に動作可能な低ゲインの低雑音増幅回路及び高ゲインの低雑音増幅回路を有する低雑音増幅器と、

前記低雑音増幅器の前記高ゲインの低雑音増幅回路の出力と直列容量にて結合され、前記低ゲインの低雑音増幅回路の出力と直結された直交復調器と

を備えたことを特徴とする受信回路。

2. 前記高ゲインの低雑音増幅回路の動作時、そのDCバイアス電流を前記直交復調器のDCバイアス電流とは独立に流し、前記低ゲインの低雑音増幅回路の動作時、そのDCバイアス電流を前記直交復調器のDCバイアス電流と共用することを特徴とする請求項1記載の受信回路。

3. 前記高ゲインの低雑音増幅回路と低ゲインの低雑音増幅回路とはそれぞれ1対の差動接続されたトランジスタを有し、

- 前記低ゲインの低雑音増幅回路の1対のトランジスタのエミッタ間に第1及び第2の誘導性素子が直列に接続されるとともに、この両端にそれぞれ第3及び第4の誘導性素子を介して、前記高ゲインの低雑音増幅回路の1対のトランジスタのエミッタに接続されたことを特徴とする請求項1記載の受信回路。

4. 前記第1から第4の誘導性素子は、最外部の第1の端子から螺旋状にうずを小さくしていき、次いでその螺旋の隙間を縫ってうずを大きくしていき、最外部の第2の端子に戻る1個のインダクタにより構成され、インダクタの最内部とそれぞれ前記第1及び第2の端子との中間にある2つの位置から第3及び第4の端子を引き出すとともに、インダクタの最内部の位置から第5の端子を引き出し、前記第1及び第2の端子

をそれぞれ前記低ゲインの低雑音増幅回路の 1 対のトランジスタのエミッタに接続するとともに、前記第 3 及び第 4 の端子をそれぞれ前記高ゲインの低雑音増幅回路の 1 対のトランジスタのエミッタに接続し、前記第 5 の端子を抵抗経由で接地したことを特徴とする請求項 3 記載の受信回路。

5 5. 前記直交復調器は、それぞれ I チャネル及び Q チャネル用に 2 つのギルバート・セル回路およびそれぞれのギルバート・セル回路に直流バイアスを与える電流源を有し、

10 第 1 のギルバート・セル回路は、第 1 の差動対のトランジスタと第 2 の差動対のトランジスタを有し、第 1 の差動対のトランジスタのエミッタは直結され選択的に前記自己の電流源及び前記低ゲインの低雑音増幅回路の 1 対のトランジスタの一方のコレクタに接続され、第 2 の差動対のトランジスタのエミッタは直結され選択的に前記自己の電流源及び前記低ゲインの低雑音増幅回路の 1 対のトランジスタの他方のコレクタに
15 接続され、

第 2 のギルバート・セル回路は、第 3 の差動対のトランジスタと第 4 の差動対のトランジスタを有し、第 3 の差動対のトランジスタのエミッタは直結され選択的に前記自己の電流源及び前記低ゲインの低雑音増幅回路の 1 対のトランジスタの一方のコレクタに接続され、第 4 の差動対
20 のトランジスタのエミッタは直結され選択的に前記自己の電流源及び前記低ゲインの低雑音増幅回路の 1 対のトランジスタの他方のコレクタに接続された

ことを特徴とする請求項 3 記載の受信回路。

6. 上記受信回路は、IC チップで構成されたことを特徴とする請求
25 項 4 に記載の受信回路。

7. バイアス電流の制御により選択的に動作可能な低ゲインの低雑音

増幅回路及び高ゲインの低雑音増幅回路を有する低雑音増幅器と、

前記低雑音増幅器の前記高ゲインの低雑音増幅回路の出力と直列容量にて結合され、前記低ゲインの低雑音増幅回路の出力と直結された直交復調器と

5 受信信号のレベルを検出する受信レベル検出手段と、

前記受信レベル検出手段の出力に応じて前記受信回路の制御を行う制御手段とを備え、

前記制御手段は、前記受信信号のレベルが高いときに低ゲインの低雑音増幅回路を動作させ、前記受信信号のレベルが低いときに前記低雑音増幅器として高ゲインの低雑音増幅回路を動作させるよう前記低雑音増幅器を制御することを特徴とする無線通信端末装置。

8. 前記高ゲインの低雑音増幅回路の動作時、そのDCバイアス電流を前記直交復調器のDCバイアス電流とは独立に流し、前記低ゲインの低雑音増幅回路の動作時、そのDCバイアス電流を前記直交復調器のDC
15 Cバイアス電流と共用することを特徴とする請求項7記載の無線通信端末装置。

9. 前記高ゲインの低雑音増幅回路と低ゲインの低雑音増幅回路とはそれぞれ1対の差動接続されたトランジスタを有し、

前記低ゲインの低雑音増幅回路の1対のトランジスタのエミッタ間に第1及び第2の誘導性素子が直列に接続されるとともに、この両端にそれぞれ第3及び第4の誘導性素子を介して、前記高ゲインの低雑音増幅器の1対のトランジスタのエミッタに接続されたことを特徴とする請求項7記載の無線通信端末装置。

10. 前記第1から第4の誘導性素子は、最外部の第1の端子から螺旋状にうずを小さくしていき、次いでその螺旋の隙間を縫ってうずを大きくしていき、最外部の第2の端子に戻る1個のインダクタにより構成
25

され、インダクタの最内部とそれぞれ前記第 1 及び第 2 の端子との中間にある 2 つの位置から第 3 及び第 4 の端子を引き出すとともに、インダクタの最内部の位置から第 5 の端子を引き出し、前記第 1 及び第 2 の端子をそれぞれ前記低ゲインの低雑音増幅回路の 1 対のトランジスタのエミッタに接続するとともに、前記第 3 及び第 4 の端子をそれぞれ前記高ゲインの低雑音増幅回路の 1 対のトランジスタのエミッタに接続し、前記第 5 の端子を抵抗経路で接地したことを特徴とする請求項 9 記載の無線通信端末装置。

1 1. 前記直交復調器は、それぞれ I チャネル及び Q チャネル用に 2 つのギルバート・セル回路およびそれぞれのギルバート・セル回路に直流バイアスを与える電流源を有し、

第 1 のギルバート・セル回路は、第 1 の差動対のトランジスタと第 2 の差動対のトランジスタを有し、第 1 の差動対のトランジスタのエミッタは直結され選択的に前記自己の電流源及び前記低ゲインの低雑音増幅回路の 1 対のトランジスタの一方のコレクタに接続され、第 2 の差動対のトランジスタのエミッタは直結され選択的に前記自己の電流源及び前記低ゲインの低雑音増幅回路の 1 対のトランジスタの他方のコレクタに接続され、

第 2 のギルバート・セル回路は、第 3 の差動対のトランジスタと第 4 の差動対のトランジスタを有し、第 3 の差動対のトランジスタのエミッタは直結され選択的に前記自己の電流源及び前記低ゲインの低雑音増幅回路の 1 対のトランジスタの一方のコレクタに接続され、第 4 の差動対のトランジスタのエミッタは直結され選択的に前記自己の電流源及び前記低ゲインの低雑音増幅回路の 1 対のトランジスタの他方のコレクタに接続され、

前記制御手段は、前記第 1 および第 2 のギルバート・セル回路の前記

電流源を、前記高ゲインの低雑音増幅回路が動作するとき能動化され、
前記低ゲインの低雑音増幅回路器が動作するとき不能化する

ことを特徴とする請求項 9 記載の無線通信端末装置。

12. 上記受信回路は、I C チップで構成されたことを特徴とする請
5 求項 10 に記載の無線通信端末装置。

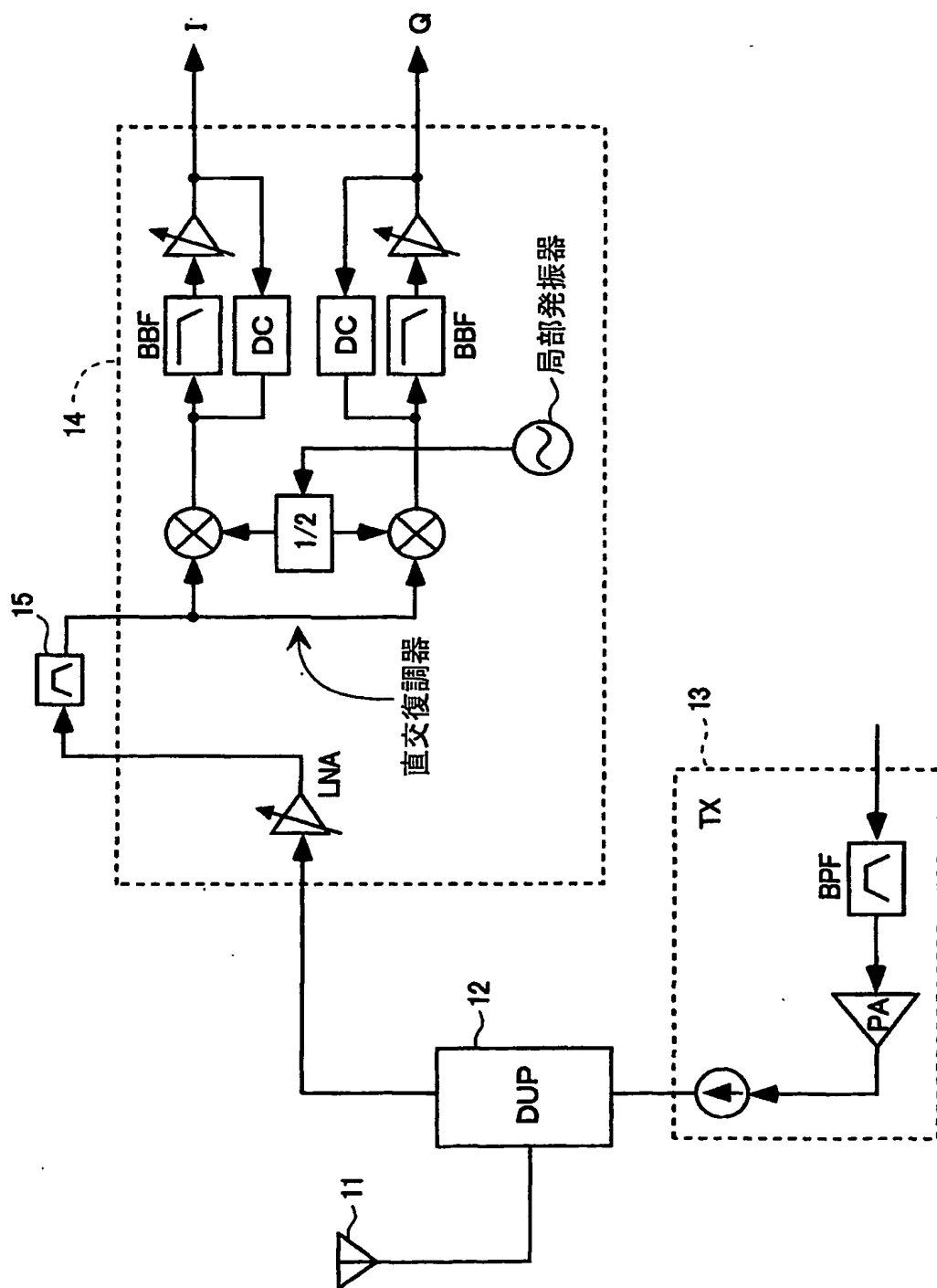


Fig. 1

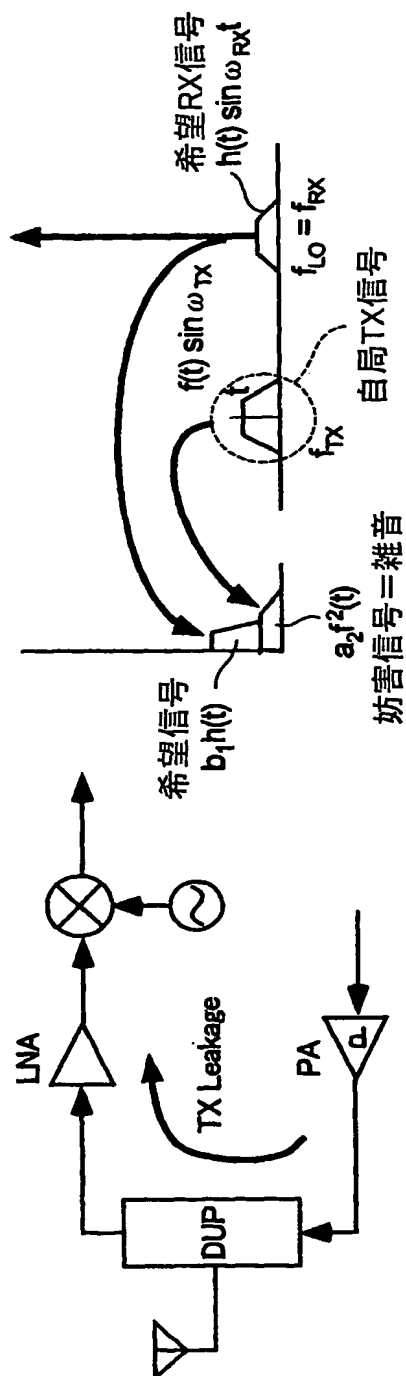


Fig. 2B

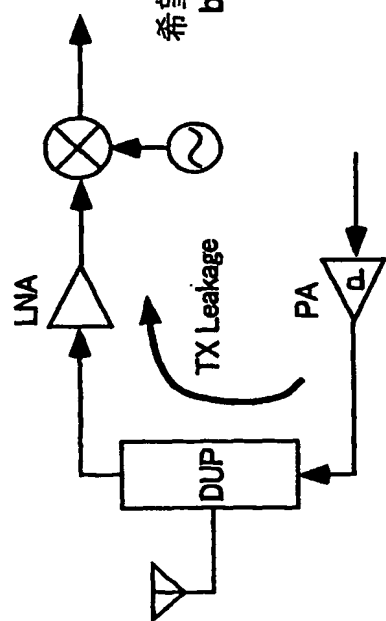


Fig.2A

$$g(t) = a_0 + a_1 f(t) \sin \omega_{TX} + a_2 (f(t) \sin \omega_{TX})^2 + \dots \\ = a_0 + a_1 f(t) \sin \omega_{TX} + a_2 (f^2(t) (1 - \sin 2\omega_{TX})) + \dots$$

Fig. 2C

3/9

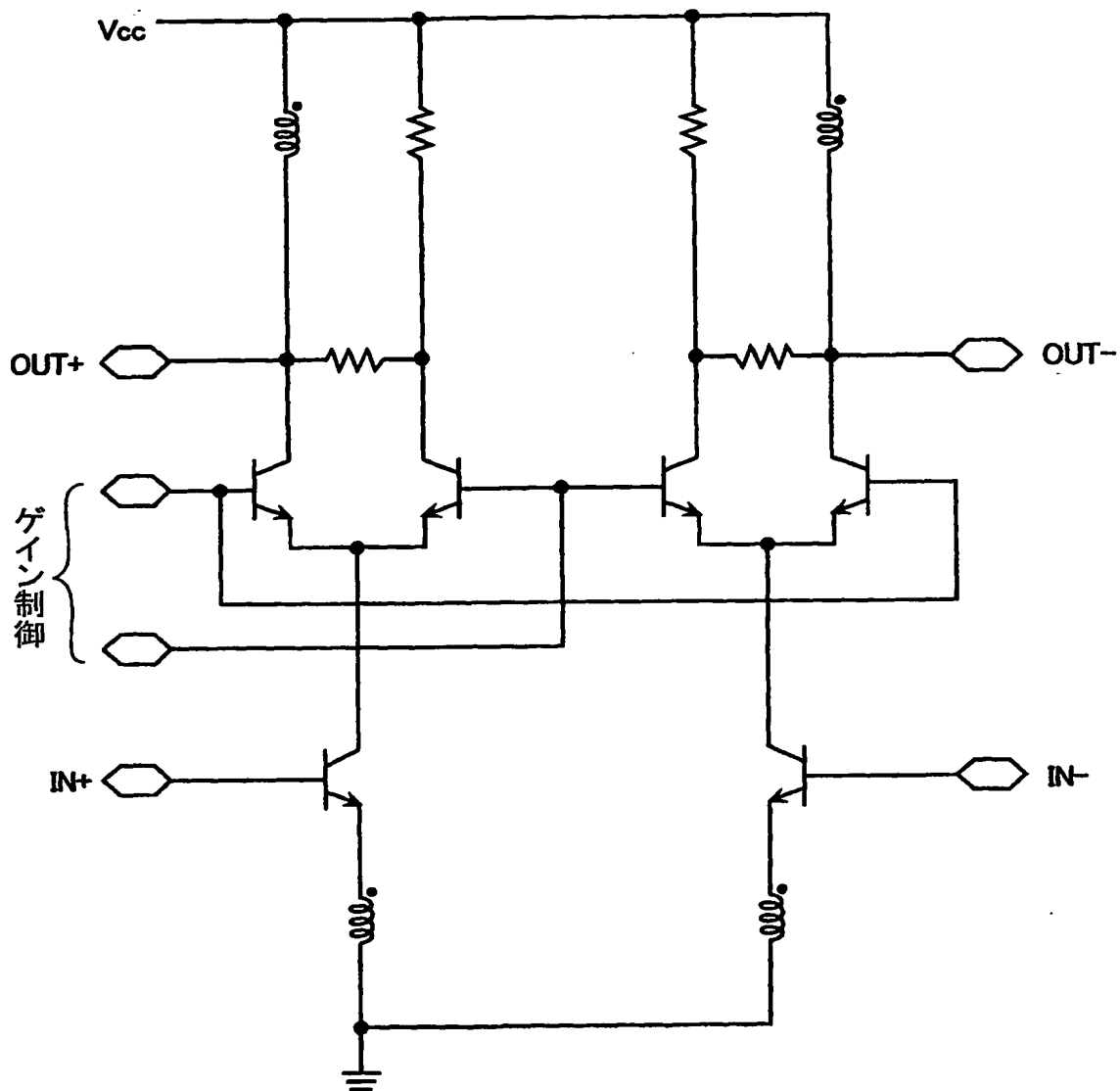


Fig.3

4/9

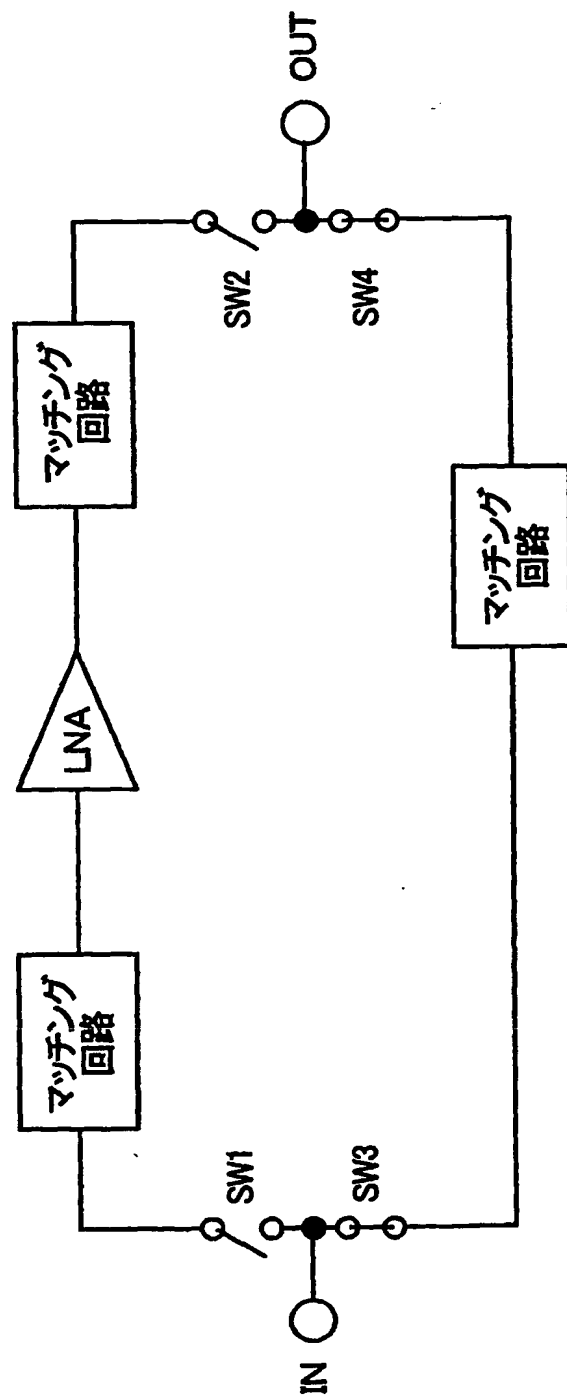


Fig.4

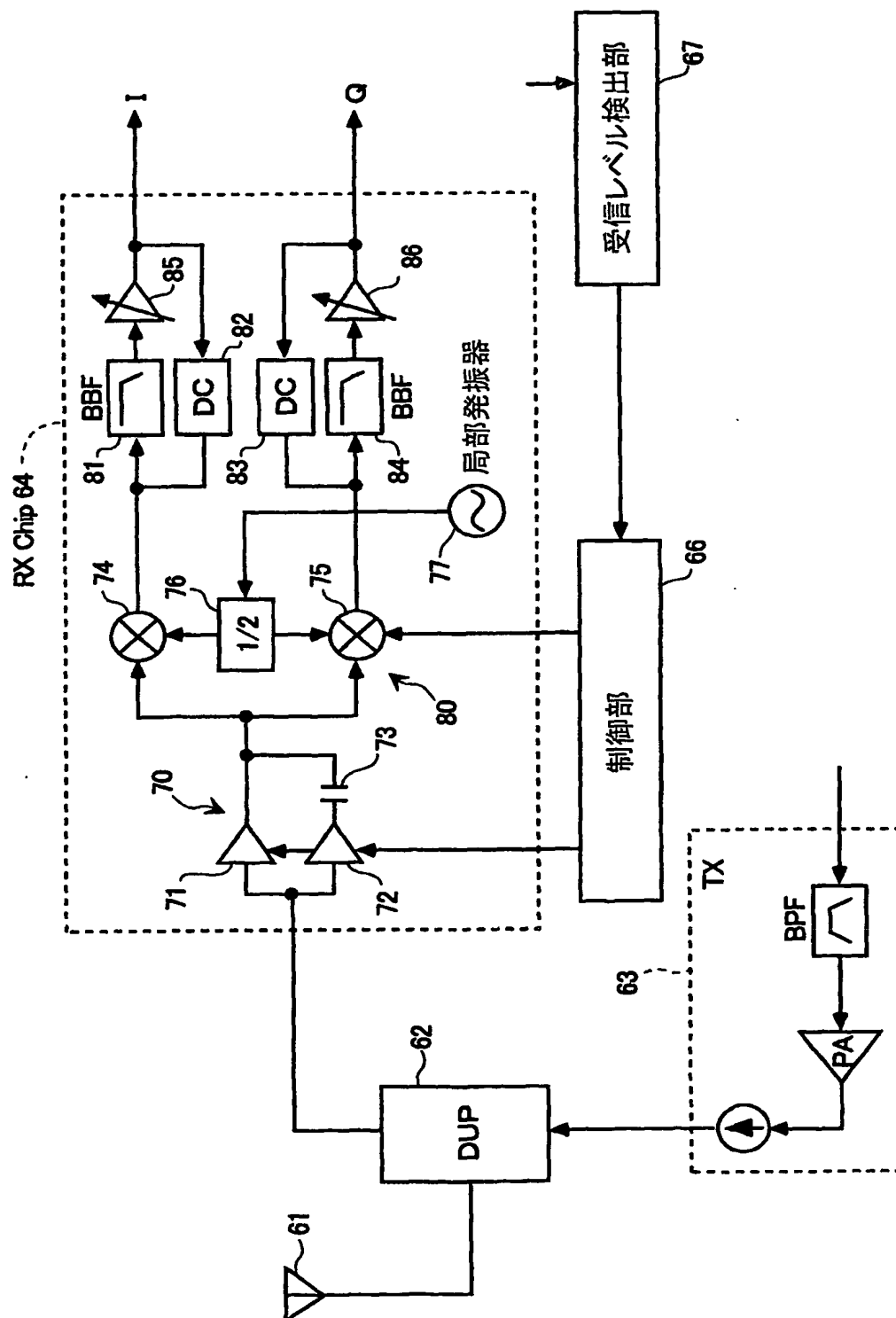
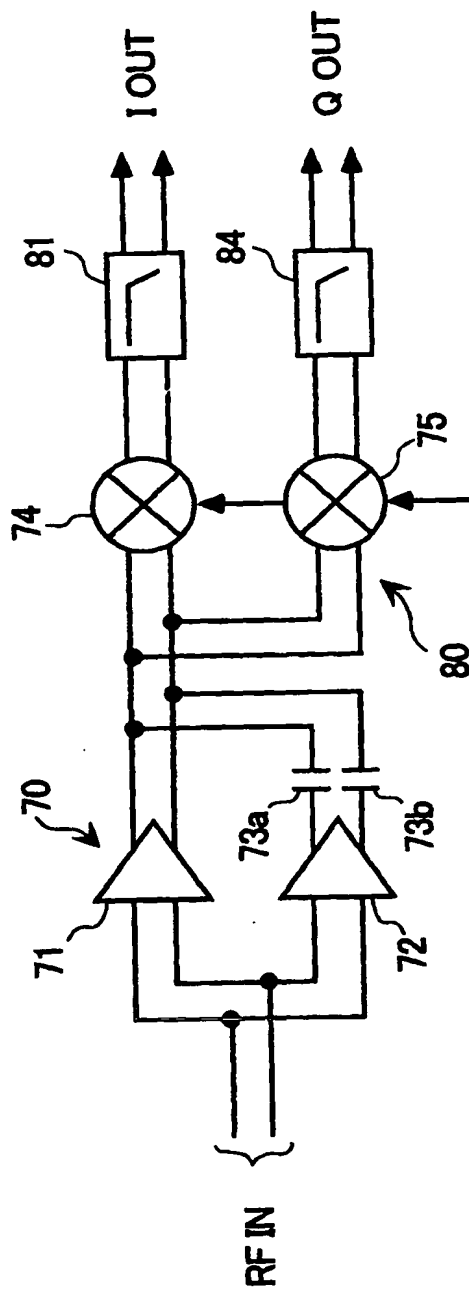
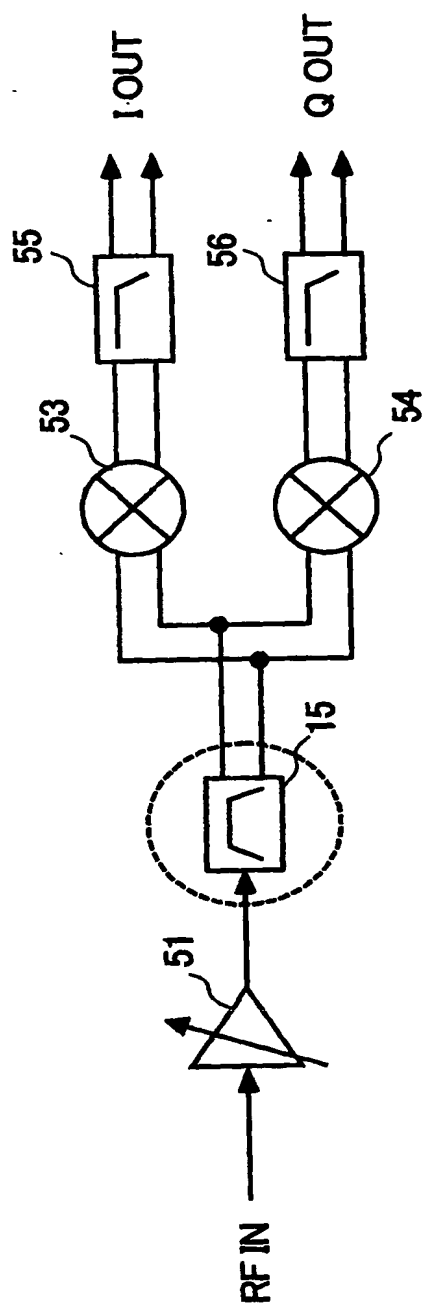


Fig. 5



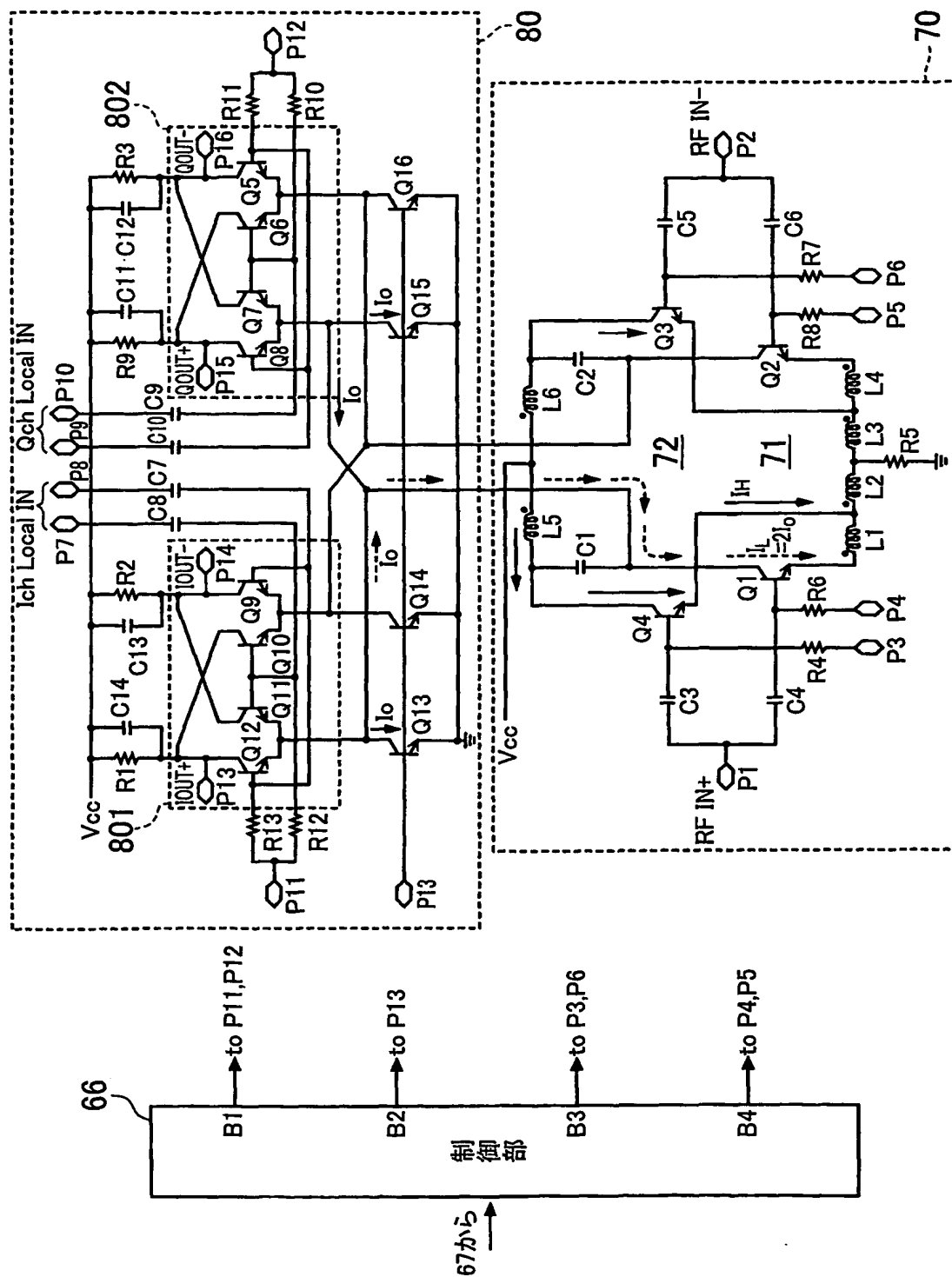


Fig.7

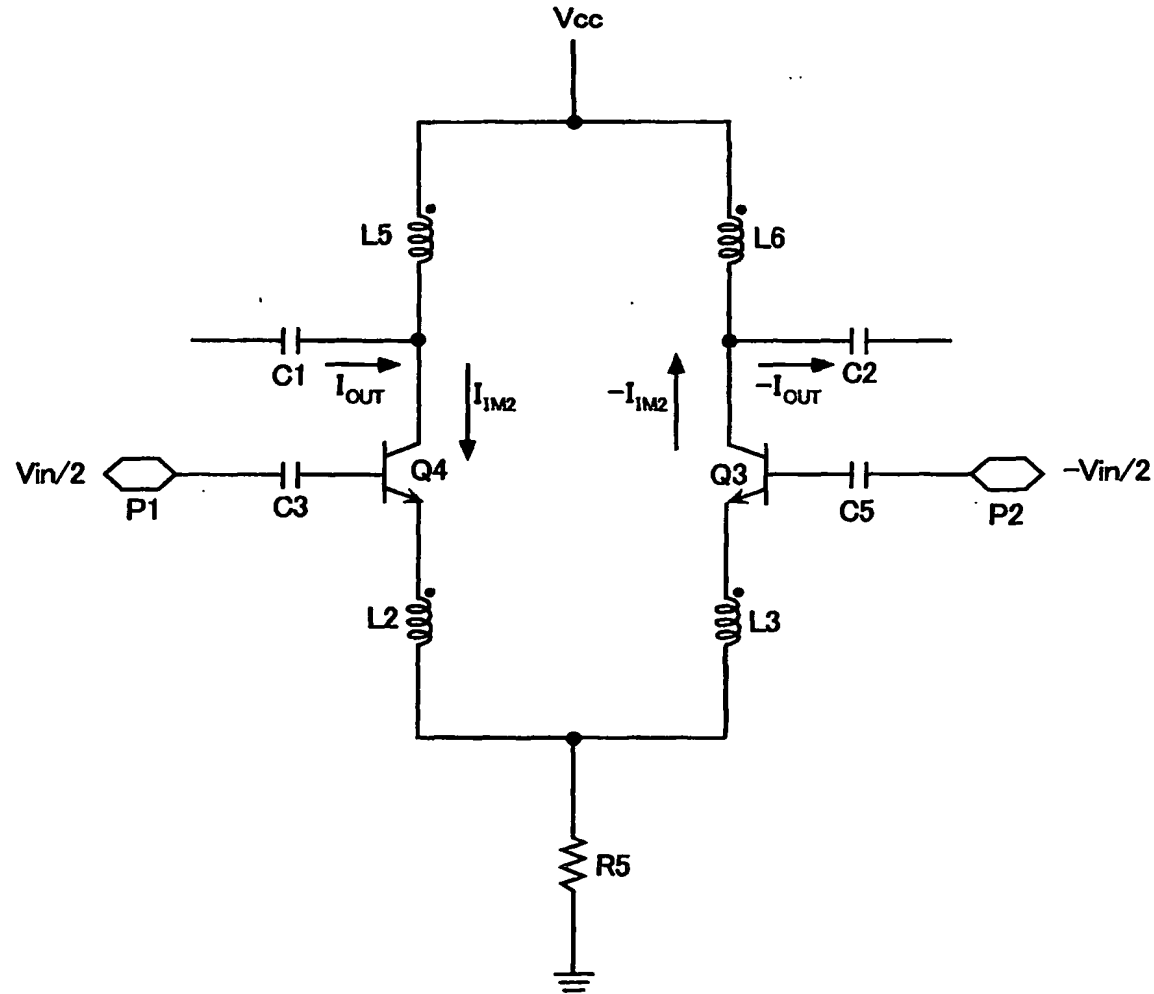


Fig.8

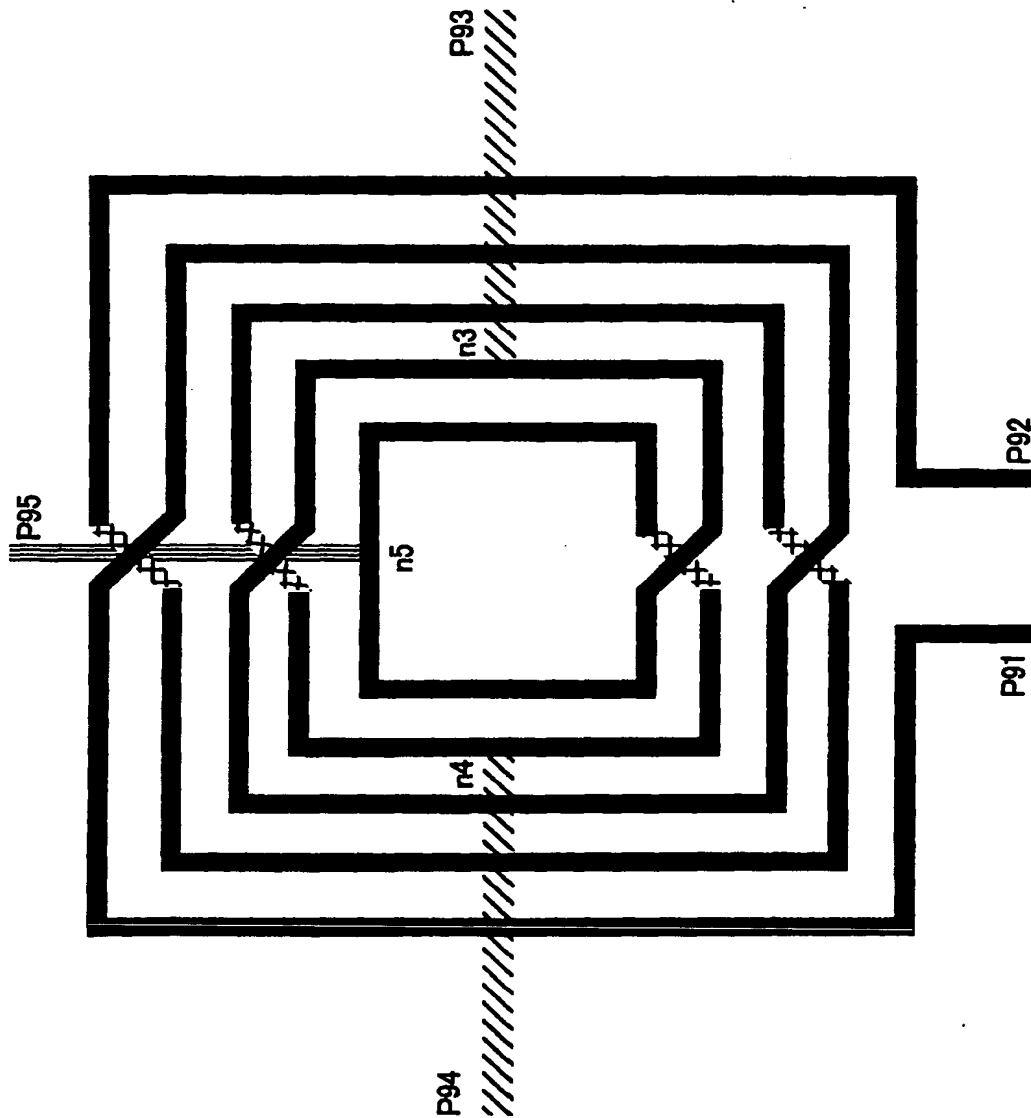


Fig.9

INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2004/001487

A. CLASSIFICATION OF SUBJECT MATTER

Int.Cl⁷ H04B1/10, H0B1/40, H04B1/30

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

Int.Cl⁷ H04B1/10, H0B1/40, H04B1/30

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Jitsuyo Shinan Koho	1922-1996	Toroku Jitsuyo Shinan Koho	1994-2004
Kokai Jitsuyo Shinan Koho	1971-2004	Jitsuyo Shinan Toroku Koho	1996-2004

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	JP 2002-335182 A (Hitachi, Ltd.), 22 November, 2002 (22.11.02), Fig. 5 (Family: none)	1-12
A	WO 2001/095485 A2 (KONINKLIJKE PHILIPS ELECTRONICS N.V.), 13 December, 2001 (13.12.01), Fig. 2 & US 6438364 B1 & EP 1293040 A & JP 2003-536314 A & CN 1430808 T	1-12

☐ Further documents are listed in the continuation of Box C.

☐ See patent family annex.

* Special categories of cited documents:

"A" document defining the general state of the art which is not considered to be of particular relevance

"E" earlier application or patent but published on or after the international filing date

"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)

"O" document referring to an oral disclosure, use, exhibition or other means

"P" document published prior to the international filing date but later than the priority date claimed

"I" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art

"&" document member of the same patent family

Date of the actual completion of the international search
07 May, 2004 (07.05.04)

Date of mailing of the international search report
25 May, 2004 (25.05.04)

Name and mailing address of the ISA/
Japanese Patent Office

Authorized officer

Facsimile No.

Telephone No.

A. 発明の属する分野の分類 (国際特許分類 (IPC))

Int. Cl.⁷ H04B1/10 H0B1/40 H04B1/30

B. 調査を行った分野

調査を行った最小限資料 (国際特許分類 (IPC))

Int. Cl.⁷ H04B1/10 H0B1/40 H04B1/30

最小限資料以外の資料で調査を行った分野に含まれるもの

日本国実用新案公報 1922-1996年
 日本国公開実用新案公報 1971-2004年
 日本国登録実用新案公報 1994-2004年
 日本国実用新案登録公報 1996-2004年

国際調査で使用した電子データベース (データベースの名称、調査に使用した用語)

C. 関連すると認められる文献

引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求の範囲の番号
A	JP 2002-335182 A (株式会社日立製作所) 2002. 11. 22, 図5 (ファミリーなし)	1-12
A	WO 2001/095485 A2 (KONINKLIJKE PHILIPS ELECTRONICS N. V.) 2001. 12. 13, 図2 &US 6438364 B1&EP 1293040 A &JP 2003-536314 A &CN 1430808 T	1-12

☐ C欄の続きにも文献が列挙されている。☐ パテントファミリーに関する別紙を参照。

* 引用文献のカテゴリー

「A」 特に関連のある文献ではなく、一般的技術水準を示すもの
 「E」 国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの
 「L」 優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献 (理由を付す)
 「O」 口頭による開示、使用、展示等に言及する文献
 「P」 国際出願日前で、かつ優先権の主張の基礎となる出願

の日の後に公表された文献

「T」 国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの
 「X」 特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの
 「Y」 特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの
 「&」 同一パテントファミリー文献

国際調査を完了した日

07. 05. 2004

国際調査報告の発送日

25. 5. 2004

国際調査機関の名称及びあて先

日本国特許庁 (ISA/JP)
 郵便番号100-8915
 東京都千代田区霞が関三丁目4番3号

特許庁審査官 (権限のある職員)

江口 能弘

5W

8125

電話番号 03-3581-1101 内線 6511

**This Page is Inserted by IFW Indexing and Scanning
Operations and is not part of the Official Record**

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images include but are not limited to the items checked:

☐ BLACK BORDERS

☒ IMAGE CUT OFF AT TOP, BOTTOM OR SIDES

☐ FADED TEXT OR DRAWING

☐ BLURRED OR ILLEGIBLE TEXT OR DRAWING

☐ SKEWED/SLANTED IMAGES

☐ COLOR OR BLACK AND WHITE PHOTOGRAPHS

☐ GRAY SCALE DOCUMENTS

☐ LINES OR MARKS ON ORIGINAL DOCUMENT

☒ REFERENCE(S) OR EXHIBIT(S) SUBMITTED ARE POOR QUALITY

☐ OTHER: _____

IMAGES ARE BEST AVAILABLE COPY.

As rescanning these documents will not correct the image problems checked, please do not report these problems to the IFW Image Problem Mailbox.